

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

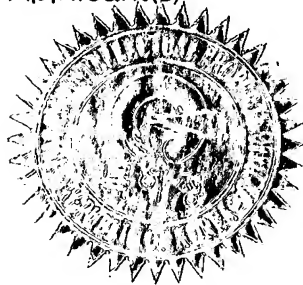
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0040710  
Application Number

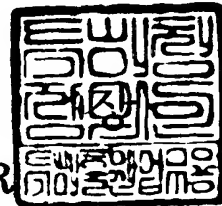
출원년월일 : 2002년 07월 12일  
Date of Application JUL 12, 2002

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    02    월    24    일

특    허    청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.07.12
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	METHOD FOR FORMING OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	정은영
【성명의 영문표기】	CHUNG, Eun Young
【주민등록번호】	701010-2450728
【우편번호】	339-800
【주소】	충청남도 연기군 조치원읍 교리 21
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	298,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



**【요약서】**

**【요약】**

본 발명은 트렌치 캐패시터의 구조를 형성하고 캐패시터의 안쪽 측면을 캐패시터 영역으로 사용하여 캐패시턴스를 증가시키기 위한 반도체 소자의 제조 방법을 제공하는 것이다.

**【대표도】**

도 2f

**【색인어】**

캐패시터, 트렌치, 건식각, MPDL

【명세서】

【발명의 명칭】

반도체 소자의 제조 방법 {METHOD FOR FORMING OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도1a 내지 도1d는 종래 기술에 의한 반도체 소자의 제조 방법을 나타낸 단면도들이다.

도2a 내지 도2f는 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

100 : 실리콘 기판	101 : 패드 산화막
102 : 질화막	103 : HLD 산화막
104 : 제1 포토레지스트 패턴	105 : 게이트 산화막
106 : 도프트 폴리	107 : 제 2 포토레지스트 패턴
108 : 게이트	109 : 충전막
110 :비트라인	



【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10>        본 발명은 종래의 MPDL 제조 공정을 그대로 이용하면서 트렌치형 캐패시터를 구현함으로써 좁은 면적에서 높은 캐패시턴스를 구현할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

<11>        최근 반도체소자의 고집적화 추세에 따라 셀크기가 감소되어 충분한 정전용량을 갖는 캐패시터를 형성하기가 어려워지고 있으며, 특히 하나의 모스트랜지스터와 캐패시터로 구성되는 DRAM 소자는 반도체기판 상에 세로 및 가로 방향으로 워드 라인들과 비트 라인들이 직교 배치되어 있으며, 두 개의 게이트에 걸쳐 캐패시터가 형성되어 있고, 상기 캐패시터의 중앙에 콘택홀이 형성되어 있다. 이때, 상기 캐패시터는 주로 다결정실리콘층을 도전체로 하여 산화막, 질화막 또는 그 적층막인 오.엔.오.(oxide-nitride-oxide)막을 유전체로 사용하고 있는데, 칩(chip)에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게 하면서, 면적을 줄이는 것이 DRAM소자의 고집적화에 중요한 요인이 된다.

<12>        도1a 내지 도1d는 종래 기술에 의한 반도체 소자의 제조 방법을 나타낸 단면도들이다.

- <13> 도1a를 참조하면, 실리콘 기판(10) 상에 패드 산화막(11) 및 질화막(12)을 증착한 후 사진 식각 공정 및 건식 식각을 통해 77도 트렌치 구조를 형성한 다음, 산화막(13)을 증착하고 CMP 평탄화를 진행하여 소자간 절연을 시킨다.
- <14> 도1b를 참조하면, 웰(미도시함)을 형성하기 위한 임플란트 공정 및 셀 Vt 임플란트 및 캐패시터 Vt 임플란트 공정을 진행한 후 게이트를 형성하기 위한 게이트 산화막(14)을 형성한 후 도프트 폴리실리콘(15)을 증착하고, 이어서 포토레지스트 패턴(16)을 형성한다.
- <15> 도1c를 참조하면, 상기 포토레지스트 패턴(16)을 마스크로 건식 식각을 진행하여 플래너 캐패시터(Planer capacitor : 17)와 게이트(18)를 형성한다.
- <16> 도1d를 참조하면, IPO(Inter poly oxide : 19)를 증착한 후 사진 및 건식각을 통해 메탈 콘택을 형성한 후 비트 라인(20)을 형성하고 배선 공정을 진행하여 MPDL 셀을 제작한다.
- <17> 그러나, 이러한 종래 기술에 의한 MPDL 셀은 보다 높은 캐패시터 값을 구현함으로써 센싱 마진을 증가시켜 센서의 동작 마진을 확보하고 리프레시 특성을 개선해야 할 필요로 인해 높은 캐패시터를 구현하기 위해 넓은 면적의 캐패시터 영역이 필요한 문제가 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<18>       상기와 같은 문제점을 해결하기 위한 본 발명은 트렌치 캐패시터의 구조를 형성하고 캐패시터의 안쪽 측면을 캐패시터 영역으로 사용하여 캐패시턴스를 증가시키기 위한 반도체 소자의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<19>       상기와 같은 목적을 실현하기 위한 본 발명은 실리콘 기판 상에 패드 산화막 및 질화막을 증착한 후 사진 및 건식각을 통해 77도 트렌치를 형성한 후 HLD 산화막을 증착하고 소자간 분리를 시키는 단계와, 상기 HLD 산화막이 증착된 결과물 상에 셀 Vt 임플란트 공정을 진행한 후 캐패시터 Vt를 조절하기 위한 제 1 포토레지스트 패턴을 형성하는 단계와, 상기 HLD 산화막 및 제 1 포토레지스트 패턴을 장벽층으로 이용하여 건식각 진행하여 캐패시터 영역을 정의하는 단계와, 상기 캐패시터 영역이 정의된 결과물 상에 임플란트 공정을 진행하는 단계와, 상기 임플란트 공정을 진행한 결과물 상에 게이트 산화막을 형성한 후 도프트 폴리를 증착하고 제 2 포토레지스트 패턴을 형성하는 단계와, 상기 제 2 포토레지스트 패턴을 이용한 사진 및 건식 식각을 통해 트렌치 캐패시터와 게이트(108)를 형성하는 단계와, 상기 캐패시터와 게이트가 형성된 결과물 상에 층간막을 증착하고 평탄화한 후 메탈 콘택을 형성하고 그 상부에 비트라인 및 배선 공정을 진행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법에 관한 것이다.

<20>       이때, 상기 캐패시터 영역을 정의하기 위한 건식각 공정은 80~90°로 진행하는 것을 특징으로 한다.

- <21>       상기 캐패시터 영역을 정의한 후 암모니아 계열의 세정 용액으로 세정 공정을 진행하는 것을 특징으로 한다.
- <22>       상기 HLD산화막과 제1포토리저스트 패턴을 장벽층으로 이용하여 건식각 공정만을 추가 진행함으로써 캐패시터의 안쪽 4면을 모두 캐패시터 영역으로 정의하여 캐패시터의 용량을 증가 시킬수 있는 것을 특징으로 한다.
- <23>       상기 캐패시터 영역이 정의된 결과물 상에 임플란트 공정을 진행할때 측면과 바닥에 균일하게 도펀트를 주입하기 위해서 틸트 임플란트 공정을 진행하는 것을 특징으로 한다.
- <24>       이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.
- <25>       도2a 내지 도2f는 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면도들이다.
- <26>       도2a를 참조하면, 실리콘 기판(100) 상에 패드 산화막(101) 및 질화막(102)을 증착한 후 사진 및 건식각을 통해 77도 트렌치를 형성한 후 HLD 산화막(103)을 증착하고 CMP 평탄화를 통해 소자간 분리를 시킨다.
- <27>       도2b를 참조하면, 사진 식각을 통해 셀 Vt 임플란트 공정을 진행한 후 캐패시터 Vt를 조절하기 위한 제 1 포토레지스트 패턴(104)을 형성한다.



- <28> 도2c를 참조하면, HLD 산화막(103) 및 제 1 포토레지스트 패턴(104)을 장벽층으로 이용하여 건식각을 80~90°로 진행하여 캐패시터 영역을 정의한 후 암모니아 계열의 세정 용액으로 세정 공정을 진행하여 실리콘 기판(100)의 거칠기(roughness)를 균일하게 해준다.
- <29> 이때 상기 HLD 산화막(103)과 제1포토레지스트 패턴(104)을 장벽층으로 이용하여 건식각 공정만을 추가 진행함으로써 캐패시터의 안쪽 4면을 모두 캐패시터 영역으로 정의하여 캐패시터의 용량을 증가 시킬수 있다.
- <30> 이어서, 틸트(Tilt)를 주어 임플란트 공정을 진행하는데 Tilt 임플란트 공정을 진행하는 이유는 트렌치 캐패시터의 바닥과 측면에 균일하게 도펀트를 주입하기 위해서이다.
- <31> 이때, 트렌치 구조의 바닥과 측면에서 실리콘 웨이퍼의 격자 배열면이 비슷할수록 게이트 산화비가 비슷하기 때문에 균일한 게이트 산화막을 형성할 수 있어서, 트렌치 캐패시터 형성시 80~90°의 건식각을 진행하는 것이다.
- <32> 이렇게 형성된 트렌치형 캐패시터는 캐패시터의 안쪽 측면을 캐패시터 영역으로 사용하여 캐패시턴스를 증가시킬 수 있고, 캐패시턴스가 증가함에 따라 센싱 마진을 증가시키며 센서의 동작 마진을 확보하고 리프레시 특성을 개선할 수 있다.
- <33> 도2d를 참조하면, 게이트 산화막(105)을 형성한 후 도프트 폴리(106)를 증착한 후 제 2 포토레지스트 패턴(107)을 형성한다.
- <34> 도2e를 참조하면, 제 2 포토레지스트 패턴(107)을 이용한 사진 및 건식 식각을 통해 트렌치 캐패시터(106')와 게이트(108)를 형성한다.

<35> 도2f를 참조하면, 층간막(109)인 IPO(Inter poly oxide)를 증착하고 평탄화한 다음 사진 및 건식각 공정을 통해 메탈 콘택을 형성한 후 그 상부에 비트라인(110) 및 배선 공정을 진행한다.

【발명의 효과】

<36> 상기한 바와 같이 본 발명은 종래의 MPDL 제조 공정을 그대로 유지함녀서 트렌치형 캐패시터를 형성함으로써 좁은 면적에서 높은 캐패시턴스를 얻을수 있으며, 기존의 공정을 그대로 유지하면서 보다 높은 캐패시터 값을 구현함으로써 센싱 마진을 증가시켜 센서의 동작 마진을 확보하고 리프레시 특성을 향상시킬 수 있는 이점이 있다.

<37> 또한, 좁은 면적에서 큰값의 캐패시턴스가 사용되는 제품이나 고밀집 캐패시터 및 SoC 소자 제작에 이용 가능한 이점이 있다.

**【특허청구범위】****【청구항 1】**

실리콘 기판 상에 패드 산화막 및 질화막을 증착한 후 사진 및 건식각을 통해 77도 트렌치를 형성한 후 HLD 산화막을 증착하고 소자간 분리를 시키는 단계와,

상기 HLD 산화막이 증착된 결과물 상에 셀 Vt 임플란트 공정을 진행한 후 캐패시터 Vt를 조절하기 위한 제 1 포토레지스트 패턴을 형성하는 단계와,

상기 HLD 산화막 및 제 1 포토레지스트 패턴을 장벽층으로 이용하여 건식각 진행하여 캐패시터 영역을 정의하는 단계와,

상기 캐패시터 영역이 정의된 결과물 상에 임플란트 공정을 진행하는 단계와,

상기 임플란트 공정을 진행한 결과물 상에 게이트 산화막을 형성한 후 도프트 폴리를 증착하고 제 2 포토레지스트 패턴을 형성하는 단계와,

상기 제 2 포토레지스트 패턴을 이용한 사진 및 건식 식각을 통해 트렌치 캐패시터와 게이트를 형성하는 단계와,

상기 캐패시터와 게이트가 형성된 결과물 상에 층간막을 증착하고 평탄화한 후 메탈 콘택을 형성하고 그 상부에 비트라인 및 배선 공정을 진행하는 단계를

포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1항에 있어서, 상기 캐패시터 영역을 정의하기 위한 건식각 공정은 80~90°로 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 캐패시터 영역을 정의한 후 암모니아 계열의 세정 용액으로 세정 공정을 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 4】**

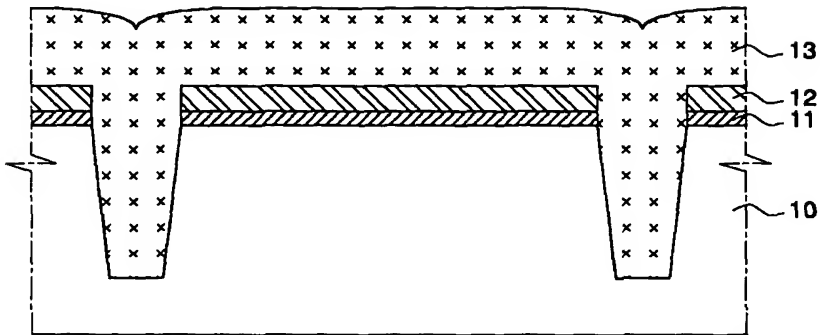
제 1항에 있어서, 상기 HLD산화막과 제1포토리지스트 패턴을 장벽층으로 이용하여 건식각 공정만을 추가 진행함으로써 캐패시터의 안쪽 4면을 모두 캐패시터 영역으로 정의하여 캐패시터의 용량을 증가 시킬수 있는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 5】**

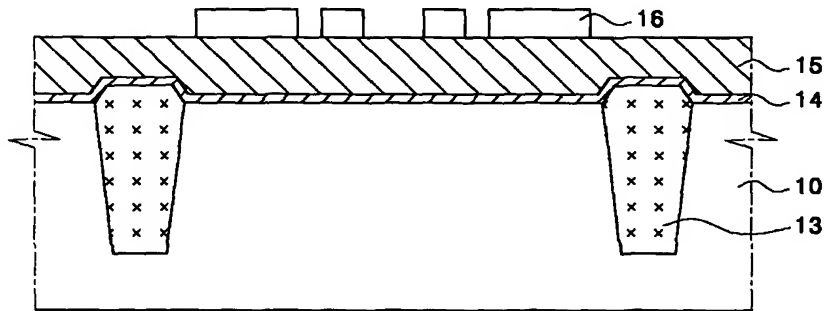
제 1항에 있어서, 상기 캐패시터 영역이 정의된 결과물 상에 임플란트 공정을 진행할때 측면과 바닥에 균일하게 도펀트를 주입하기 위해서 틸트 임플란트 공정을 진행하는 것을 특징으로 하는 반도체 소자 제조 방법.

【도면】

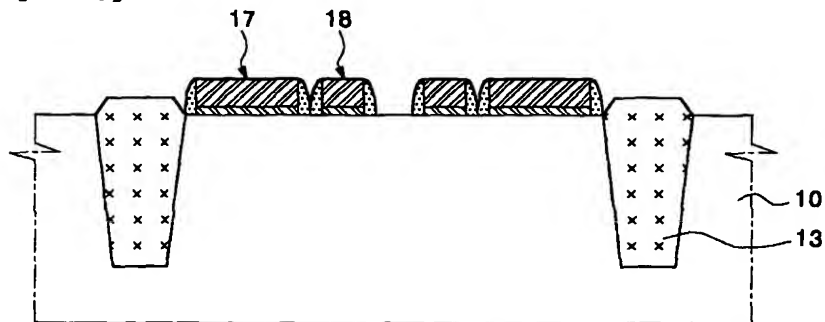
【도 1a】



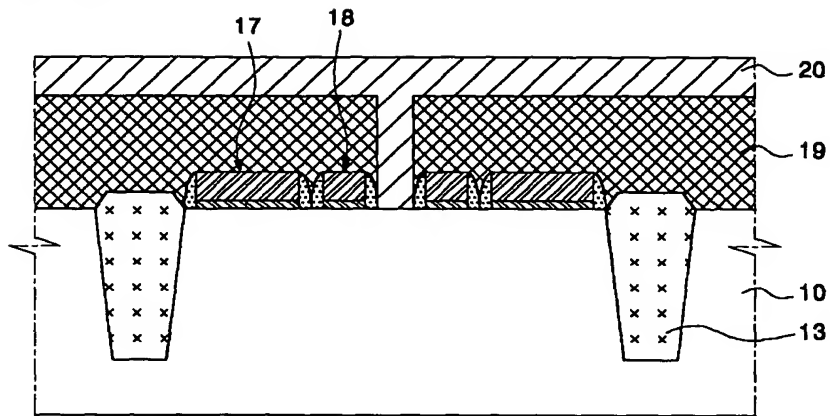
【도 1b】



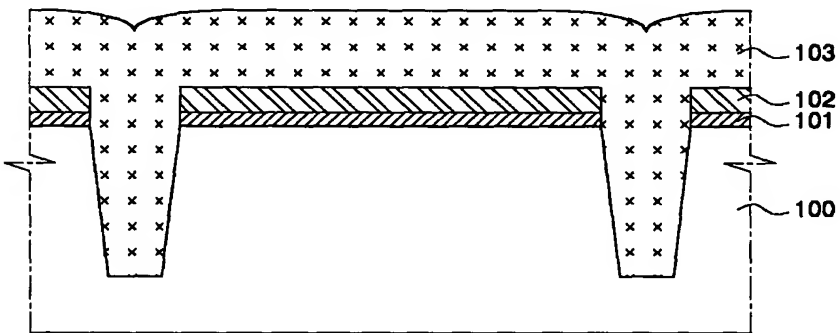
【도 1c】



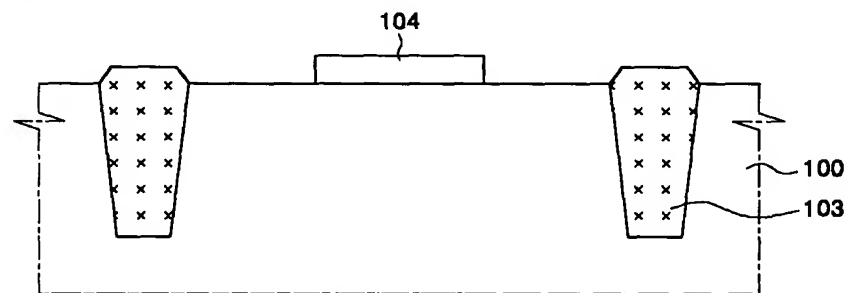
【도 1d】



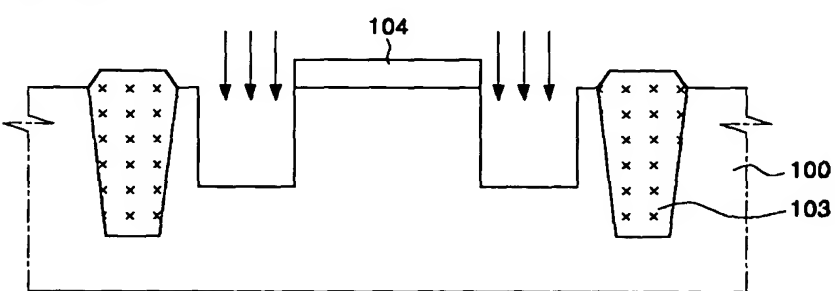
【도 2a】



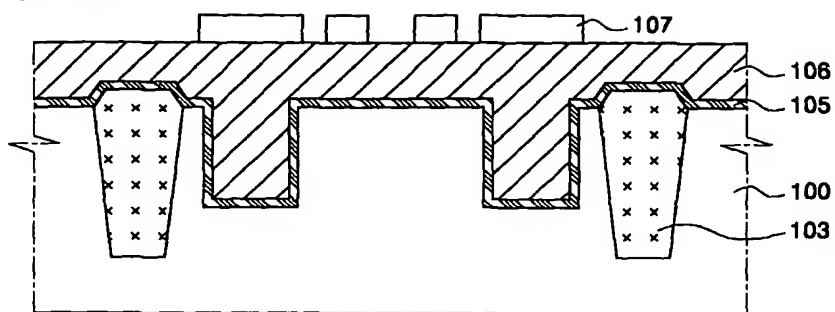
【도 2b】



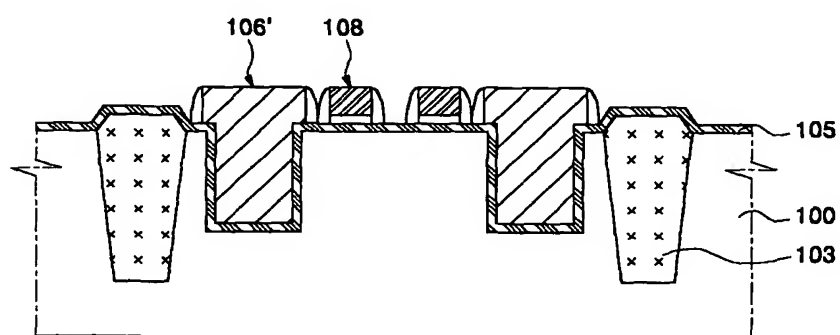
【도 2c】



【도 2d】



【도 2e】



【도 2f】

